

Copy of Prior Art

Patent Document 4

Japanese Patent Publication No.05-299973

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-299973

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/02	A	7037-5 J		
	L	7037-5 J		
	D	7037-5 J		
H 0 3 M 3/02		8522-5 J		

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平4-97988

(22)出願日 平成4年(1992)4月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小泉 伸和

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 角石 光夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 栗田 豊

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外2名)

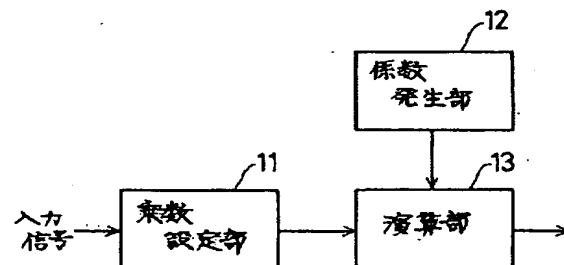
(54)【発明の名称】 デシメーションフィルタ

(57)【要約】

【目的】 本発明はオーバサンプリング・シグマ・デルタ変調型A/D変換器に使用されるデシメーションフィルタに関し、回路規模削減と低消費電力化を目的とする。

【構成】 係数発生部12はオーバサンプリング周期の4倍の周期のクロックを計数する第1及び第2のカウンタの出力をオーバサンプリング周期毎に切り換え、サンプリングレートの各周期の前半の期間は2つの係数の更新演算を2サイクルずつ交互に行ない、後半の期間は1つの係数の更新演算のみを行なう。演算部13はサンプリングレートの各周期の前半の期間で2つのフィルタ演算を2サイクルずつ交互に行ない、後半の期間は1つのフィルタ演算を2サイクル行なった後、動作停止することを交互に繰り返す。これにより、フィルタ演算が4タップ分ずつ行なわれる。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 オーバサンプリング周期毎にシグマ・デルタ変調器から入力される入力信号に対して所定のフィルタ演算を行ない、所要のサンプリングレートに低下された出力信号を出力するデシメーションフィルタにおいて、

前記入力信号のうち連続する4つの入力信号単位で乗数を設定する乗数設定部(11)と、

前記オーバサンプリング周期の4倍の周期のクロックを計数する互いに初期値の異なる第1及び第2のカウンタ(24, 25)の出力を交互に選択し、該選択出力に基づいてフィルタ演算の漸化式の係数を発生する係数発生部(12)と、

該係数発生部(12)よりの係数と前記乗数設定部(11)よりの乗数とを乗算し、更にその乗算結果を累積加算して前記所要のサンプリングレートの出力信号を出力する演算部(13)とを有し、前記フィルタ演算を4タップずつ行なうことを特徴とするデシメーションフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデシメーションフィルタに係り、特にオーバサンプリング・シグマ・デルタ変調型A/D変換器に使用されるデシメーションフィルタに関する。

【0002】2線メタリックケーブルを用いた双方向伝送のデジタル加入者線伝送インタフェース装置においては、高度なエコーキャンセルと波形等化により双方向

$$H(Z^{-1}) = \left\{ \frac{(1 - Z^{-N})}{(1 - Z^{-1})} \right\}^3 = \sum_{j=1}^{3N-2} C_j Z^{-j+1} \quad (1)$$

【0007】

ここで $Z^{-1} = \exp \{ 2\pi j f / (n \cdot f_s) \}$

n : オーバサンプリング比

f_s : サンプリングレート

$$C_j - C_{j-1} = j \quad (j \leq N) \quad (2)$$

$$C_j - C_{j-1} = 3N - 2j \quad (N+1 \leq j \leq 2N) \quad (3)$$

$$C_j - C_{j-1} = j - 3N \quad (2N+1 \leq j \leq 3N-2) \quad (4)$$

従って、カウンタ41₁及び41₂のロード値やカウンタ41₁及び41₂の出力の±1、-2倍の制御により上記(2)、(3)及び(4)式を実現できる。なお、カウンタ41₁及び41₂の出力はjで表わされる。

【0008】また、図4中、乗算器44₁及び44₂、加算器45₁及び45₂、アキュムレータ(ACC)46₁及び46₂並びにセレクト47は演算部50を構成している。演算部50はシグマ・デルタ(ΣΔ)変調部の出力a_i(値は±1、iは時間)と、係数発生部40よりの係数C_iとのたたみ込み演算を行ない、ACC46₂よりA/D変換値を出力する。

【0009】前記したデジタル加入者線伝送装置の例

伝送を実現するため、高精度のA/D変換器が必要とされる。かかるA/D変換器として、量子化ビット数1ビットのデジタル信号を良好な信号対雑音比(S/N)で出力するため、情報信号(アナログ信号)の最高周波数の数十倍〜数百倍という極端に高いサンプリング周波数でサンプリングを行なうことにより、量子化雑音を広帯域に分散させ、見掛け上信号帯域内の雑音密度を低下させるようにしたオーバサンプリング・シグマ・デルタ変調型A/D変換器が知られている。

【0003】このオーバサンプリング・シグマ・デルタ変調型A/D変換器では、オーバサンプリングされた出力デジタルデータ中の不要な高域雑音を後段のデシメーションフィルタで除去しサンプリング周波数を所要値にまで低下させてデジタルデータを出力させる。このデシメーションフィルタには回路構成が簡単で、かつ、消費電力が少ないことが要求される。

【0004】

【従来の技術】図4は従来のデシメーションフィルタの一例の構成図を示す。同図中、カウンタ41₁及び41₂、算術論理ユニット(ALU)42₁及び42₂、係数レジスタ43₁及び43₂は係数発生部40を構成しており、漸化式の方法により係数C_jを発生する。

【0005】ここで、デシメーションフィルタには高次のローパス特性が要求されており、通常3段のくし形フィルタ特性が用いられる。この3段のくし形フィルタの伝達関数H(Z⁻¹)は次式ようになる。

【0006】

【数1】

N : N ≤ nの整数

C_j : 係数

C_jの漸化式は、

では、所要のサンプリングレート(サンプリング周波数)f_sを80kHz、オーバサンプリング比nを“192”とした場合、オーバサンプリング周波数は15.36MHz(=80kHz×192)となるから、従来のデシメーションフィルタはΣΔ変調部の出力a_iが15.36MHz毎に入力され、前記(1)〜(4)式中の整数Nを例えば“96”とした図4のトランスバーサル構成によって、ローパスフィルタ処理を行ない、サンプリングレート80kHzの高精度デジタルデータに変換してACC46₂より出力する。

【0010】図5は図4の従来のデシメーションフィルタのタイムチャートを示す。図5(A)は80kHzの

サンプリングレートを示す。ここで、演算部50は入力a_iに合わせて15.36 MHzで動作するため、80 kHzの一周期に192回の演算が可能である。

【0011】しかし、フィルタのタップ数は286 (=3N-2)であるから、フィルタ演算を終えるまでに80 kHzの1.5周期必要である。このため従来のデシメーションフィルタではカウンタ41₁、ALU42₁、係数レジスタ43₁、乗算器44₁、加算器45₁及びACC46₁よりなるブロック1で図5(B)に模式的に示す如く1~192タップの演算を行ない、その後引き続いて、セクタ47を切り換えてカウンタ41₂、ALU42₂、係数レジスタ43₂、乗算器44₂、加算器45₂及びACC46₂よりなるブロック2で同図(C)に模式的に示す如く193~286タップの演算を行ない、結果をACC46₂より出力する。

【0012】

【発明が解決しようとする課題】しかるに、上記の従来のデシメーションフィルタでは演算サイクルが足りないため、同じ演算回路が2ブロック必要で回路規模が大であり、また15.36 MHz等の高い周波数で動作させるために回路規模が大であることと相まって消費電力が大であるという課題がある。

【0013】本発明は上記の点に鑑みてなされたもので、フィルタ演算を4タップずつ行ない、かつ、演算回路を共有することにより、上記の課題を解決したデシメーションフィルタを提供することを目的とする。

$$\begin{aligned}
 (j \leq N) & : a_1 * C_j - 2j - 1 + a_2 * C_j - j + a_3 * C_j + a_4 * C_j + j + 1 \\
 & = C_j * (a_1 + a_2 + a_3 + a_4) + j * (-2a_1 - a_2 + a_4) + (-a_1 + a_4) \quad (5) \\
 (N+1 \leq j \leq 2N) & : a_1 * C_j - 2(3N-2j) - 2 + a_2 * C_j - (3N-2j) + a_3 * C_j + a_4 * C_j \\
 & + (3N-2j) + 2 = C_j * (a_1 + a_2 + a_3 + a_4) + (3N-2j) * (-2a_1 - a_2 + a_4) \\
 & + 2 * (-a_1 + a_4) \quad (6) \\
 (2N+1 \leq j \leq 3N-2) & : a_1 * C_j - 2(j-3N) - 1 + a_2 * C_j - (j-3N) + a_3 * C_j + a_4 * C_j \\
 & + (j-3N) + 1 = C_j * (a_1 + a_2 + a_3 + a_4) + (j-3N) * (-2a_1 - a_2 + a_4) \\
 & + (-a_1 + a_4) \quad (7)
 \end{aligned}$$

ここで、a₁、a₂、a₃、a₄はΣΔ変調器出力である入力信号(15.36 MHzで連続した出力)

j = 4m + 3 (mは整数)

(5)式~(7)式はいずれも第1項が係数C_jに(a₁ + a₂ + a₃ + a₄)を乗算した値であり、第2項の乗数が(-2a₁ - a₂ + a₄)、第3項のそれが(-a₁ + a₄)又は2(-a₁ + a₄)である。ここで、乗数(a₁ + a₂ + a₃ + a₄)と(-2a₁ - a₂ + a₄)は入力信号a₁~a₄の値が+1又は-1であるから、いずれも±4、±2及び0のどれかの値となり、2のべき乗であることから1サイクルで演算が可能である。

【0018】また(5)式と(7)式の右辺第3項の(-a₁ + a₄)は±2又は0であり、(6)式の右辺第3項の2 * (-a₁ + a₄)は±4又は0である。従って、この値は第1項と第2項の演算時にリスト・シ

【0014】

【課題を解決するための手段】図1は本発明の原理ブロック図を示す。本発明のデシメーションフィルタはオーバーサンプリング周期毎にシグマ・デルタ変調器から入力される入力信号に対して所定のフィルタ演算を行ない、所要のサンプリングレートに低下された出力信号を出力するものにおいて、図1に示すように乗数設定部11、係数発生部12及び演算部13を有する構成としたものである。

【0015】ここで、乗数設定部11は前記入力信号のうち連続する4つの入力信号単位で乗数を設定する。また、係数発生部12は前記オーバーサンプリング周期の4倍の周期のクロックを計数する、互いに初期値の異なる第1及び第2のカウンタの出力を交互に選択し、選択出力に基づいてフィルタ演算の漸化式の係数を発生する。

【0016】演算部13は係数発生部12よりの係数と乗数設定部11よりの乗数とを乗算し、更にその乗算結果を累積加算して前記所要のサンプリングレートの出力信号を出力する。

【0017】

【作用】本発明のデシメーションフィルタは3段のくし形フィルタ特性を有しており、伝達関数は前記(1)式で表わせる。このデシメーションフィルタの4タップ分の演算は前記(2)、(3)及び(4)式より以下のようにまとめられる。

グニフィカント・ビット(LSB)側から足し込むことが可能である。そこで、本発明では乗数設定部11により上記の(a₁ + a₂ + a₃ + a₄)、(-2a₁ - a₂ + a₄)、(-a₁ + a₄)又は2 * (-a₁ + a₄)の値(乗数)を発生し、一方、係数発生部12で上記の(5)~(7)式の係数C_j、j、(3N-2j)及び(j-3N)を発生し、それらを演算部13に供給することにより、演算部13で4タップ分のフィルタ演算が2サイクルの演算により実行できることになる。

【0019】

【実施例】図2は本発明の一実施例の構成図を示す。同図中、図1と同一構成部分には同一符号を付してある。図2において、フリップフロップ(FF)21₁、21₂、21₃及び21₄は互いに縦続接続されて4段のシフトレジスタを構成しており、オーバーサンプリング周期

毎にシグマ・デルタ変調器から入力される入力信号 a のうち、連続する4つの入力信号 a_1 、 a_2 、 a_3 及び a_4 を一時記憶する。

【0020】フリップフロップ211～214より夫々取り出された入力信号 a_1 ～ a_4 はデコーダ22に供給され、ここで前記(5)～(7)式中の $(a_1 + a_2 + a_3 + a_4)$ 、 $(-2a_1 - a_2 + a_4)$ 、 $(-a_1 + a_4)$ 及び $2 \times (-a_1 + a_4)$ の値にデコードされた後、レジスタ23に記憶される。レジスタ23は上記のデコードにより得られた乗数及び加算器の制御信号を保持し、演算部13内の乗算器34等へ供給する。

【0021】本実施例は従来と同様に15.36 MHzで動作するが、従来とは異なり4タップ分の演算を2サイクルで実行するため、係数発生部12及び演算部13内の

($j \leq N$) の時

$$\begin{aligned} C_{j+4} - C_j &= C_{4n+7} - C_{4n+3} = (C_{4n+7} - C_{4n+6}) + (C_{4n+6} - C_{4n+5}) + (C_{4n+5} - C_{4n+4}) + \\ &\quad (C_{4n+4} - C_{4n+3}) = (4n+7) + (4n+6) + (4n+5) + (4n+4) = 16n+22 = 4j+10 \end{aligned} \quad (8)$$

($N+1 \leq j \leq 2N$) の時

$$\begin{aligned} C_{j+4} - C_j &= (3N-2(4n+7)) + (3N-2(4n+6)) + (3N-2(4n+5)) + (3N-2(4n+4)) \\ &= 12N-32n-44 = 4(3N-2j) + 20 \end{aligned} \quad (9)$$

($2N+1 \leq j \leq 3N-2$) の時

$$\begin{aligned} C_{j+4} - C_j &= (4n+7-3N) + (4n+6-3N) + (4n+5-3N) + (4n+4-3N) = 16n+22-12N = 4(j-3N) + 10 \end{aligned} \quad (10)$$

セレクタ28に入力される固定値「10」は(8)式及び(10)式中の「10」であり、「20」は(9)式中の「20」である。

【0024】演算部13は乗算器27、係数レジスタ30及び31の各出力のうちのいずれか一の出力を選択するセレクタ33と、セレクタ33の出力係数とレジスタ23よりの乗数とを乗算する乗算器34と、加算器35と、加算器35の出力を累積加算するアキュムレータ(ACC)36及び37と、アキュムレータ36及び37の各出力の一方を選択して加算器35に入力するセレクタ38とよりなる。この演算部13は前記(5)～(7)式の演算を行ない、ACC37より所要のサンプリングレートのデジタル信号を出力する。

【0025】次に $N=96$ とした場合の本実施例の動作について、図3のタイミングチャートを併せ参照して説明する。図3(A)は演算部13より出力されるデジタル信号のサンプリングレートである80 kHzを示す。カウンタ24は80 kHzの一周期の前半の期間では図3(B)に示す如く $j (=4m+3)$ を出力し、後半の期間では $(3N-2j)/2$ を出力する。カウンタ25は80 kHzの一周期の前半の期間では図3(B)に示す如く $j-3N$ を出力し、後半の期間では動作を停止する。

【0026】カウンタ24及び25は夫々15.36 MHzの1/4倍の周波数(オーバーサンプリング周期の4倍の周期)である3.84 MHzのクロックを計数し、“4” ずつ

演算回路はすべて共有化し、二つのフィルタ演算が重なっている時間では演算を交互に行なう点に特徴がある。

【0022】係数発生部12は第1のカウンタ24、第2のカウンタ25、それらの出力を切り換えるセレクタ26、セレクタ26の出力に乗数4又は8を乗算する乗算器27、所定値「10」又は「20」と乗算器27の出力の一方を選択するセレクタ28、算術論理ユニット(ALU)29、係数レジスタ30及び31、そして係数レジスタ30及び31の出力の一方をALU29に供給するセレクタ32よりなる。

【0023】この係数発生部12は前記(5)～(7)式の右辺第1項の係数 C_j を4タップおきに算出して演算部13に供給する。ここで、係数 C_j を4タップおきに算出する漸化式を次に示す。

カウントアップしていく。ただし、80 kHzの一周期の前半の期間にカウンタ24から出力される j は $j \leq N$ の場合の値であって、初期値は3 ($=4 \times 0 + 3$) であり、カウンタ25から出力される $j-3N$ は $2N+1 \leq j \leq 3N-2$ の場合の値であって、初期値は $3-N (=2N+3-3N)$ である。更に、カウンタ24から出力される $(3N-2j)/2$ は j が $N+1 \leq j \leq 2N$ の場合の値である。80 kHzの各周期の前半では上記したように、 $j \leq N$ の部分と $2N+1 \leq j \leq 3N-2$ の部分の2つのフィルタ演算を行なうが、そのためにセレクタ26により15.36 MHzのセレクト信号によりカウンタ24及び25の両出力計数値を交互に選択して乗算器27に供給し、更に後述の係数レジスタ30及び31の夫々から係数 C_j を読み出して、 C_{j+4} への(8)式及び(10)式の更新演算を行ない、夫々の係数レジスタ30、31に更新した係数 C_{j+4} を戻す。

【0027】すなわち、セレクタ26から取り出されたカウンタ24の出力 j は乗算器27で4倍された後セレクタ28を通してALU29に供給された後、セレクタ28より「10」が選択されてALU29に供給され、ここで算術演算された後、係数レジスタ30には(8)式で表わされた $(4j+10)$ を加算した値が格納される。

【0028】次にセレクタ26から取り出されたカウンタ25の出力 $(j-3N)$ は乗算器27で4倍された後セレクタ28を通してALU29に供給された後、セ

クタ28より「10」が選択されてALU29に供給され、ここで算術演算された後、係数レジスタ31には、
(10)式で表わされた $\{4(j-3N)+10\}$ を加算した値が格納される。

【0029】上記のように、(8)式と(10)式の演算はカウンタ24、25、出力j、 $(j-3N)$ の4倍の加算と、「+10」の加算の2サイクル(15.36 MHzの逆数の2倍の期間)必要であるから、全部で4サイクルで係数の更新が終了し、演算時間に空きはない。また、上記の各2サイクルの演算は交互にセレクト26、28、32により切り換えられて行なわれるから、演算のための回路(27、29)を共用することができる。

【0030】次に、80 kHzの各周期の後半では図3(B)に示したように、 $N+1 \leq j \leq 2N$ の部分の1つのフィルタ演算のみ行なう。このときはカウンタ24の出力 $(3N-2j)/2$ がセレクト26を通して乗算器27で8倍された後、セレクト28を通してALU29に入力される。また、セレクト28の切り換えによりALU28に固定値「20」が入力される。

【0031】これにより、係数レジスタ30には前記(9)式で表わされる $\{4(3N-2j)+20\}$ を加算した値が格納され、 C_{j+4} の更新演算が行なわれる。従って、このときはカウンタ24の出力 $(3N-2j)/2$ の8倍の加算と、「+20」の加算の2サイクルで係数C_jの更新が終了し、カウンタ25と係数レジスタ31とは停止している。

【0032】上記の係数レジスタ30及び31、及び乗算器27の出力を1/4倍した値とは夫々演算部13に供給されてレジスタ23よりの乗数との乗算及び累積加算が行なわれる。まず、セレクト33は15.36 MHzのセレクト信号に基づき80 kHzの各周期の前半の期間では前述したように係数レジスタ30、31より(8)式、(10)式の各演算結果を取り出す。係数レジスタ30からの(8)式の演算結果を選択して乗算器34に供給してレジスタ23よりの乗数 $(a_1+a_2+a_3+a_4)$ と乗算させ、セレクト38を通して得られるACC36の値と、加算器34によって加算し、結果をACC36に取り込む。次に、乗算器27よりの値 $4j$ を1/4倍(これは2ビット右方向へシフトすることにより得られる)した値jを選択して乗算器34に供給してレジスタ23よりの乗数 $(-2a_1-a_2+a_4)$ と乗算し、ACC36の値と加算させ、結果をACC36に取り込む。上記2回の加算の間に $(-a_1+a_4)$ をLSB側から足し込む。従って、これによりACC36から(5)式の演算式によるフィルタ演算結果が得られる。

【0033】続いて、セレクト33により係数レジスタ31からの(10)式の演算結果が選択された後、乗算器27よりの $4(j-3N)$ を1/4倍した値 $(j-3N)$ を選択して乗算器34により順次に所定の乗数 $(a_1+a_2+a_3+a_4)$ 、 $(-2a_1-a_2+a_4)$ と乗算

させACC37と累算する。この時、 $(-a_1+a_4)$ をLSB側から足し込むことにより、(7)式のフィルタ演算結果がACC37に取り込まれる。

【0034】ここで、ACC36、37に対し、係数レジスタ30、31の出力係数の $(a_1+a_2+a_3+a_4)$ 倍を加算する演算と、乗算器27の出力の1/4倍の $(-2a_1-a_2+a_4)$ 倍とを加算する演算には2サイクルずつが必要であるため、図3(C)に模式的に示す如く80 kHzの各周期の前半の期間では(5)式と(7)式の演算が2サイクルずつ交互に行なわれて全部で4サイクルでフィルタ演算が終了するため、演算時間に空きはない。また、上記の各2サイクルの演算は交互に行なわれるから、演算のための回路(34、35)を共用することができる。次の80 kHzの各周期の後半の期間では、係数レジスタ30より取り出される前記(9)式の演算結果と、乗算器27の出力を1/4倍した値 $(3N-2j)$ とを選択し、上記と同様にして2サイクルの演算によって、図3(C)に模式的に示す如く(6)式のフィルタ演算結果がACC36に取り込まれる。そして続く2サイクルでは回路が停止される。この80 kHzの各周期の後半では、フィルタ全体の演算結果がACC37に保持され、かつ、出力される。

【0035】このように、本実施例によれば、オーバーサンプリング周期の4倍の期間で連続して入力される4つの $\Sigma\Delta$ 変調器出力 $a_1 \sim a_4$ 単位で、80 kHzの各周期の前半の期間では(5)式及び(7)式のフィルタ演算をオーバーサンプリング周期の2倍の期間ずつ交互に行ない、80 kHzの各周期の後半の期間では(6)式のフィルタ演算をオーバーサンプリング周期の2倍の期間行ない、続くオーバーサンプリング周期の2倍の期間は動作を停止することを繰り返すことにより、4タップ分のフィルタ演算を従来の半分で行なって15.36 MHzからサンプリングレートが80 kHzに低減されたデジタル信号を出力することができる。

【0036】

【発明の効果】上述の如く、本発明によれば、4タップ分のフィルタ演算を2サイクルでできるため、従来に比し演算量を半分に削減することができ、また2つのフィルタ演算を交互に行なうことができるため演算回路を共用化することができ、よって回路規模を従来に比し削減でき、このことから従来と同じ動作周波数であっても消費電力を低減することができる等の特長を有するものである。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の一実施例の構成図である。

【図3】図2の動作説明用タイムチャートである。

【図4】従来のデシメーションフィルタの一例の構成図である。

【図5】図4の動作説明用タイムチャートである。

【符号の説明】

11 乗数設定部

12 係数発生部

13 演算部

21₁ ~ 21₄ フリップフロップ (FF)

22 デコーダ

24, 25 カウンタ

26, 28, 32, 33, 38 セレクタ

27, 34 乗算器

29 算術論理ユニット (ALU)

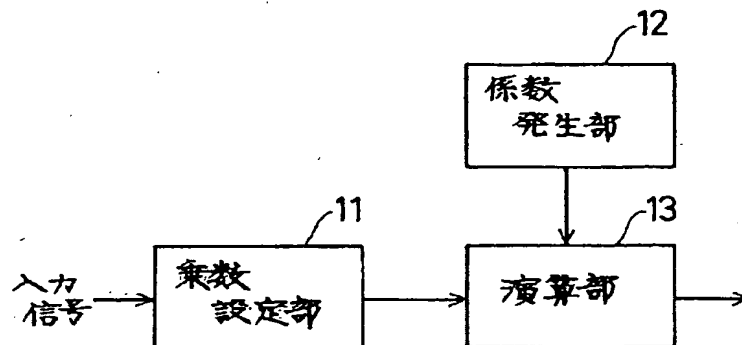
30, 31 係数レジスタ

35 加算器

36, 37 アキュムレータ (ACC)

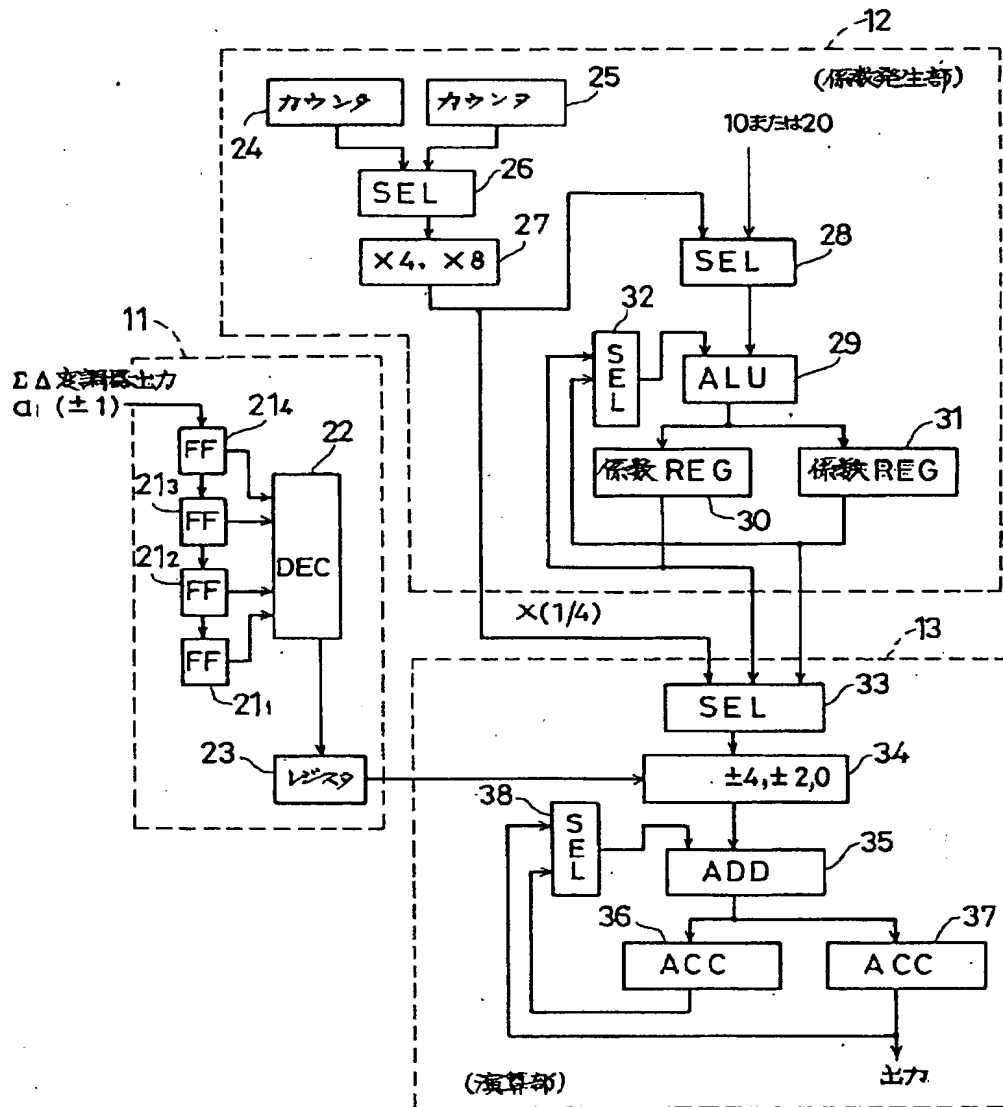
【図1】

本発明の原理ブロック図



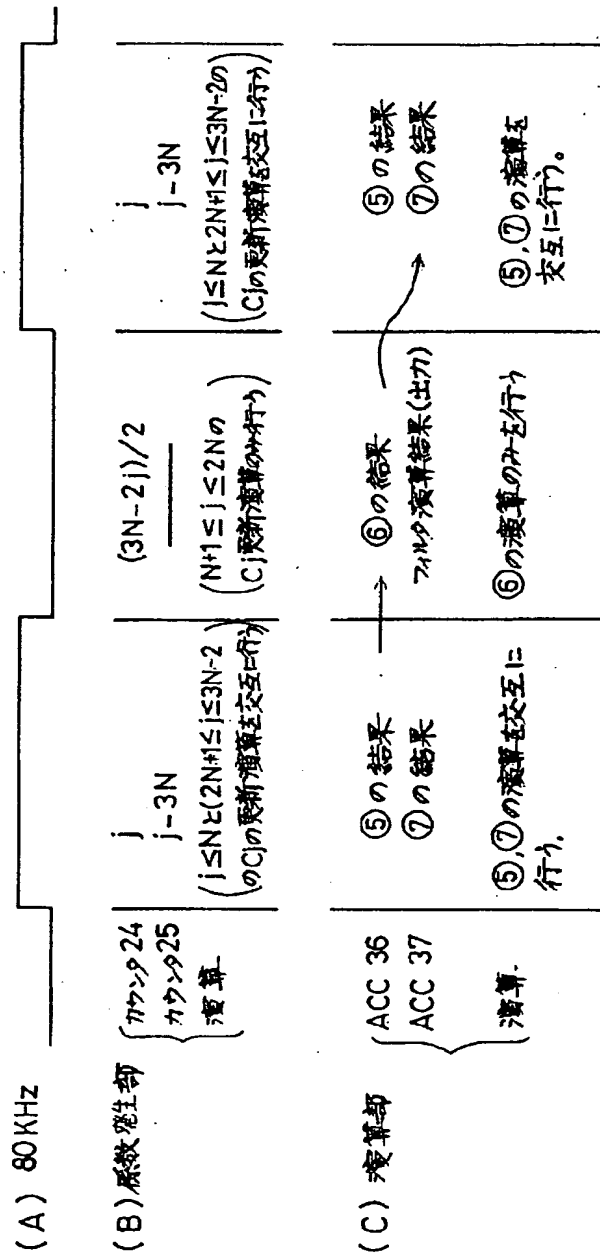
【図2】

本発明の一実施例の構成図



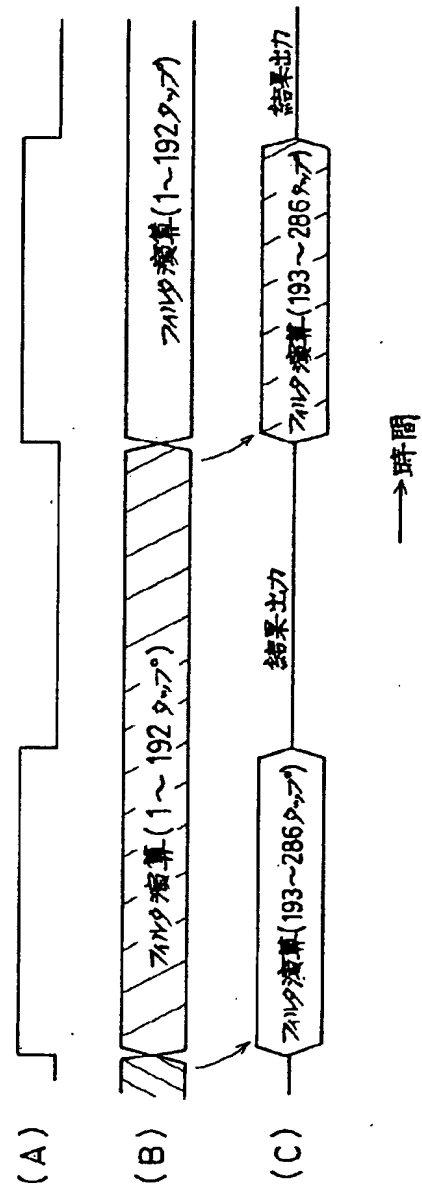
【図3】

図2の動作説明用タイムチャート



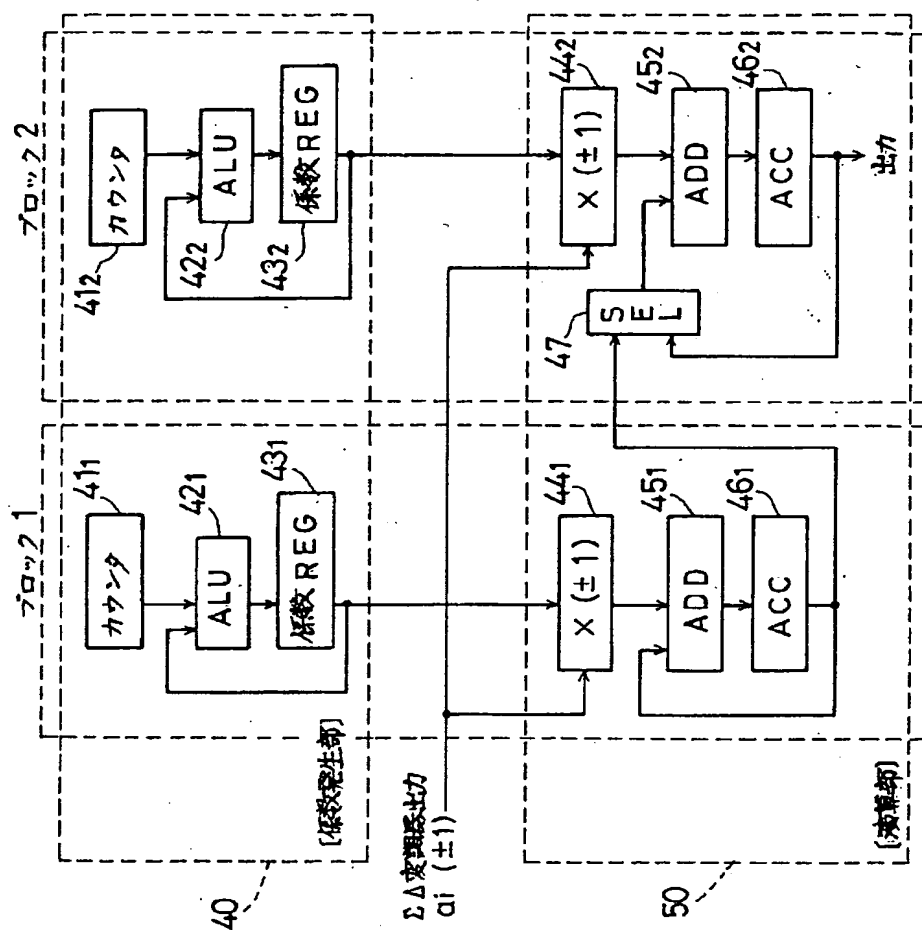
【図5】

図4の動作説明用タイムチャート



【図4】

従来のデシメーションフィルタの一例の構成図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-299973

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H03H 17/02
H03M 3/02

(21)Application number : 04-097988

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.04.1992

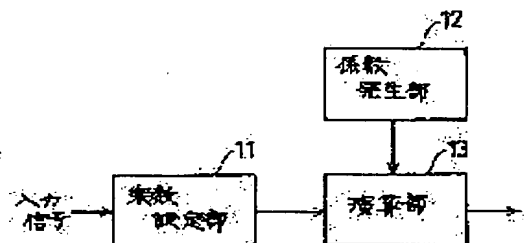
(72)Inventor : KOIZUMI NOBUKAZU
TSUNOISHI MITSUO
AWATA YUTAKA

(54) DECIMATION FILTER

(57)Abstract:

PURPOSE: To attain a circuit scale reduction and a low power consumption, in a decimation filter used for an over sampling sigma delta modulation type A/D converter.

CONSTITUTION: A coefficient generator 12 switches the outputs of the first and second counters which count the clock of a cycle four times as long as an over sampling cycle, by each over sampling cycle, alternately operates the update arithmetic operation of two coefficients by every two cycle in the first half period of each cycle of a sampling rate, and operates only the update arithmetic operation of one coefficient in the second half period. An arithmetic part 13 alternately operates two filter arithmetic operation by each two cycle in the first half period of each cycle of the sampling rate, and alternately repeats the processing of operating one filter arithmetic operation in two cycles, and stopping the operation, in the second half period. Thus, the filter arithmetic operation can be attained for each four tap.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The decimation filter which is equipped with the following and characterized by performing the four taps of the aforementioned filter operations at a time and which outputs the output signal which performed the predetermined filter operation to the input signal inputted from a sigma delta modulation machine for every over sampling technique period, and fell to the necessary sampling rate. The multiplier setting section which sets up a multiplier per four input signals which continue among the aforementioned input signals (11) The coefficient generating section which chooses by turns the output of the 1st from which initial value differs mutually, and 2nd counters (24 25) which carry out counting of the clock 4 times the period of the aforementioned over sampling technique period, and generates the coefficient of the recurrence formula of a filter operation based on this selection output (12) Operation part which carries out the multiplication of the coefficient from this coefficient generating section (12), and the multiplier from the aforementioned multiplier setting section (11), accumulates the multiplication result further, and outputs the output signal of the aforementioned necessary sampling rate (13)

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the decimation filter which is applied to a decimation filter, especially is used for an over sampling technique sigma delta modulation type A/D converter.

[0002] In the digital subscriber's-line transmission interface device of bidirectional transmission using 2 line metallic cable, in order for advanced echo cancellation and advanced waveform equalization to realize bidirectional transmission, a highly precise A/D converter is needed. As this A/D converter, since the digital signal of 1 bit of quantization numbers of bits is outputted with a good signal-to-noise ratio (S/N), by [of dozens times to hundreds times of the highest frequency of an information signal (analog signal)] sampling by the high sampling frequency extremely, a wide band is made to distribute a quantizing noise and the over sampling technique sigma delta modulation type A/D converter to which it was made to reduce the noise density in a signal band seemingly is known.

[0003] A latter decimation filter removes the unnecessary high region noise in the output digital data by which over sampling technique was carried out, a sampling frequency is reduced even to a necessary value, and digital data is made to output in this over sampling technique sigma delta modulation type A/D converter. It is required that circuitry is easy for this decimation filter, and there is little power consumption.

[0004]

[Description of the Prior Art] Drawing 4 shows the block diagram of an example of the conventional decimation filter. The inside of this drawing, and counter 411 412 And arithmetic and logic unit 421 (ALU) And 422 and the coefficient register 431 And 432 The coefficient generating section 40 is constituted and it is coefficient-C_j by the method of a recurrence formula. It generates.

[0005] Here, the high order low-pass property is demanded of the decimation filter, and the radial-fin-type-filter property which is usually three steps is used for it. The transfer function H of three steps of this radial fin type filter (Z-1) becomes like the following formula.

[0006]

[Equation 1]

$$H(Z^{-1}) = \left\{ \frac{(1 - Z^{-N})}{(1 - Z^{-1})} \right\}^3 = \sum_{j=1}^{3N-2} C_j Z^{-j+1} \quad (1)$$

[0007]

It is here and is $Z^{-1} = \exp. [2\pi j f / (n \cdot f_s)]$

n : over sampling technique ratio f_s : Sampling rate N : Integer C_j of $N \leq n$: Coefficient-C_j Recurrence formula

$C_j - C_{j-1} = j \quad (j \leq N) \quad (2)$

$C_j - C_{j-1} = 3 - N - 2j \quad (N+1 \leq j \leq 2N_s) \quad (3)$

$C_j - C_{j-1} = j - 3N \quad (2N+1 \leq j \leq 3N-2) \quad (4)$

Therefore, counter 411 And 412 A load value and counter 411 And 412 The above (2), (3), and (4) formulas are realizable with **1 of an output, and control of - double precision. In addition, counter 411 And 412 An output is expressed with j.

[0008] Moreover, the inside of drawing 4 and a multiplier 441 442 And adder 451 452 And accumulator 461 (ACC) And 462 And the selector 47 constitutes operation part 50. It calculates by operation part 50 collapsing as the output a_i (a value being **1 and i being time) of the sigma delta (sigmadelta) modulation section, and coefficient-C [from the coefficient generating section 40] i, and is ACC462. An A/D-conversion value is outputted.

[0009] In the example of said digital subscriber's-line transmission equipment Necessary sampling rate f_s (sampling frequency) When 80kHz and the over sampling technique ratio n are set to "192", Since over sampling technique frequency serves as 15.36 MHz (=80kHzx192) As for the conventional decimation filter, the output a_i of sigmadelta modulation section is inputted every 15.36 MHz. the integer N in above (1) - (4) formula by for example, transversal composition of drawing 4 set to "96" Low pass filter processing is performed, and it changes into sampling rate 80kHz high precision digital data, and is ACC462. It outputs.

[0010] Drawing 5 shows the timing diagram of the conventional decimation filter of drawing 4. Drawing 5 (A) shows a 80kHz sampling rate. Here, operation part 50 is 192 to a 80kHz round term, in order to operate by 15.36 in all MHz to Input a_i. The operation of a time is possible.

[0011] However, the number of taps of a filter is 1.5 [80kHz], by the time it finishes a filter operation, since it is 286 (=3N-2). It is the periodic need. For this reason, with the conventional decimation filter, they are a counter 411, ALU421, the coefficient register 431, a multiplier 441, and an adder 451. And ACC461 As the becoming block 1 shows to drawing 5 (B) typically, it is 1-192. A tap is calculated. After that, succeedingly, a selector 47 is switched and they are a counter 412, ALU422, the coefficient register 432, a multiplier 442, and an adder 452. And ACC462 As the becoming block 2 shows to this drawing (C) typically, it is 193-286. A tap is calculated. It is ACC462 about a result. It outputs.

[0012]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional decimation filter, since the operation cycle is insufficient, the 2 blocks of the same arithmetic circuits are required, a circuit scale is size, and

a circuit scale's being size in order to make it operating on high frequency, such as 15.36 MHz, and the technical problem that power consumption is size conjointly occur.

[0013] this invention aims at offering the decimation filter which solved the above-mentioned technical problem by having been made in view of the above-mentioned point, and performing four taps of filter operations at a time, and sharing an arithmetic circuit.

[0014]

[Means for Solving the Problem] Drawing 1 shows the principle block diagram of this invention. The decimation filter of this invention performs a predetermined filter operation to the input signal inputted from a sigma delta modulation machine for every over sampling technique period, and considers it as the composition which has the multiplier setting section 11, the coefficient generating section 12, and operation part 13 as shown in drawing 1 in what outputs the output signal which fell to the necessary sampling rate.

[0015] Here, the multiplier setting section 11 sets up a multiplier per four input signals which continue among the aforementioned input signals. Moreover, the coefficient generating section 12 chooses by turns the output of the 1st from which initial value differs mutually, and 2nd counters which carry out counting of the clock 4 times the period of the aforementioned over sampling technique period, and generates the coefficient of the recurrence formula of a filter operation based on a selection output.

[0016] Operation part 13 carries out the multiplication of the coefficient from the coefficient generating section 12, and the multiplier from the multiplier setting section 11, accumulates the multiplication result further, and outputs the output signal of the aforementioned necessary sampling rate.

[0017]

[Function] Three steps of decimation filters of this invention go away, it has the form filter shape, and a transfer function can be expressed with the aforementioned (1) formula. The operation for four taps of this decimation filter is summarized as follows than the above (2), (3), and (4) formulas.

(j<=N): $a1 * Cj - 2j - 1 + a2 * Cj - j + a3 * Cj + a4 * Cj + j + 1 = Cj * (a1 + a2 + a3 + a4) + j * (-2a1 - a2 + a4) + (-a1 + a4)$ (5)

(N+1<=j<=2Ns): $a1 * Cj - 2(3N-2j) - 2 + a2 * Cj - (3N-2j) + a3 * Cj + a4 * Cj + + 2 = Cj * (a1 + a2 + a3 + a4) + (3N-2j) * (-2a1 - a2 + a4) + (3N-2j) + 2 * (-a1 + a4)$ (6)

(j=2N+1<=j): $a1 * Cj - 2(j-3Ns) - 1 + a2 * Cj - (j-3Ns) + a3 * Cj + a4 * Cj <= 3N-2 + + 1 = Cj * (a1 + a2 + a3 + a4) + (j-3Ns) * (-2a1 - a2 + a4) + (j-3Ns) + (-a1 + a4)$ (7)

Here a1, a2, a3, and a4 Input signal which is sigmadelta modulator output (output which continued by 15.36MHz) j=4m+3 (m is an integer)

(5) a formula - (7) formula -- each -- the 1st term -- coefficient-Cj the value which carried out the multiplication of (a1+a2+a3+a4) -- it is -- the multiplier of the 2nd term -- it of (-2a1-a2+a4) and the 3rd term -- or (-a1+a4) it is 2 (-a1+a4) here -- a multiplier (a1+a2+a3+a4) and (-2a1-a2+a4) -- input signal a1 -a4 since a value is +1 or -1 -- all**4 and**-- it becomes the value of either 2 and 0, and since it is the exponentiation of 2, an operation is possible in 1 cycle

[0018] Moreover, (-a1+a4) of the 3rd term of the right-hand side of (5) formulas and (7) formulas is **2 or 0, and 2x (-a1+a4) of the 3rd term of the right-hand side of (6) formulas is **4 or 0. therefore, this value -- the time of the operation of the 1st term and the 2nd term -- RISUTO and SIG -- it is possible to add from a NIFI cant bit (LSB) side In this invention, by the multiplier setting section 11, then, above (a1+a2+a3+a4), The value (multiplier) of (-2a1-a2+a4) or (-a1+a4) 2x (-a1+a4) is generated. On the other hand, it will generate and the filter operation for four taps can perform according to the operation of a two cycle by operation part 13 coefficient-C [of the (5) - (7) formula above-mentioned in the coefficient generating section 12] j, j, and (3N-2j) (j-3Ns) by supplying them to operation part 13.

[0019]

[Example] Drawing 2 shows the block diagram of one example of this invention. The same sign is given to the same component as drawing 1 among this drawing. It sets to drawing 2 and is a flip-flop (FF) 211 and 212, 213. And 214 Four input signals a1 which continue among the input signals a which cascade connection is mutually carried out, constitute four steps of shift registers, and are inputted from a sigma delta modulation machine for every over sampling technique period, a2, and a3 And a4 It stores temporarily.

[0020] Flip-flop 211-214 Input signal a1 -a4 taken out, respectively A decoder 22 is supplied. After being decoded by the value of (a1+a2+a3+a4), (-2a1-a2+a4), and (-a1+a4) 2x (-a1+a4) in above (5) - (7) formula here, a register 23 memorizes. A register 23 holds the control signal of the multiplier acquired by the above-mentioned decoding and an adder, and supplies it to the multiplier 34 grade in operation part 13.

[0021] Although this example operates by 15.36 MHz as usual, in order to perform the operation for four taps by the two cycle unlike the former, all the arithmetic circuits in the coefficient generating section 12 and operation part 13 are share-ized, and the feature is in the point of calculating by turns, in time when two filter operations have lapped.

[0022] The coefficient generating section 12 consists of a selector 32 which supplies one side of the output of the selector 28 which chooses one side of the output of the 1st counter 24, the 2nd counter 25, the selector 26 that switches those outputs, the multiplier 27 which carries out the multiplication of a multiplier 4 or 8 to the output of a selector 26, a predetermined value "10", or a "20" and a multiplier 27, an arithmetic and logic unit (ALU) 29, the coefficient registers 30 and 31, and the coefficient

[0023] This coefficient generating section 12 is coefficient-C [of the 1st term of the right-hand side of the aforementioned (5) - (7) formula] j. It computes for every [every] four taps, and operation part 13 is supplied. Here, it is coefficient-Cj. The recurrence formula computed for every [every] four taps is shown below.

At the time of (j<=N) $Cj+4 - Cj = C4n+7 - C4n+3 = (C4n+7 - C4n+6) + (C4n+6 - C4n+5) + (C4n+5 - C4n+4) + (C4n+4 - C4n+3) = 16n+22-4j+10$ (8)

At the time of (N+1<=j<=2Ns) $Cj+4 - Cj = (3N-2(4n+7)) + (3N-2(4n+6)) + (3N-2(4n+5)) + (3N-2(4n+4)) = 12N-32n-44=4(3N-2j)+20$ (9)

At the time of (2N+1<=j<=3N-2) $Cj+4 - Cj = (4n+7-3N) + (4n+6-3N) + (4n+5-3N) + (4n+4-3N) = 16n+22-12N=4(j-3Ns)+10$ (10)

The fixed value "10" inputted into a selector 28 is "10" in (8) formulas and (10) formulas, and "20" is "20" in (9) formulas.

[0024] Operation part 13 consists of the multiplier 34 which carries out the multiplication of the selector 33 which chooses any 1 output of each output of a multiplier 27 and the coefficient registers 30 and 31, and the output

coefficient of a selector 33 and the multiplier from a register 23, an adder 35, accumulators (ACC) 36 and 37 which accumulate the output of an adder 35, and a selector 38 which chooses one side of each output of accumulators 36 and 37, and is inputted into an adder 35. This operation part 13 calculates the aforementioned (5) - (7) formula, and outputs the digital signal of a necessary sampling rate from ACC37.

[0025] Next, the timing chart of drawing 3 is combined, referred to and explained about operation of this example at the time of being referred to as $N=96$. Drawing 3 (A) shows 80kHz which is the sampling rate of the digital signal outputted from operation part 13. A counter 24 outputs $j (=4m+3)$, as the period in the first half of a 80kHz round term shows to drawing 3 (B), and it outputs $(3N-2j) / 2$ in the period of the second half. A counter 25 outputs $j-3$ Ns, as the period in the first half of a 80kHz round term shows to drawing 3 (B), and it stops operation in the period of the second half.

[0026] Counters 24 and 25 are one fourth of 15.36 MHz(es), respectively. Counting of the 3.84MHz clock which is twice as many frequency (a period 4 times the period of over sampling technique) as this is carried out, and it is counted up "4" every. However, j outputted to the period in the first half of a 80kHz round term from a counter 24 is a value in $j \leq N$, initial value is 3 ($=4 \times 0 + 3$), $j-3$ Ns outputted from a counter 25 are a value in $2N+1 \leq j \leq 3N-2$, and initial value is $3-N (=2N+3-3N)$. Furthermore, $/2$ outputted from a counter 24 ($3N-2j$) are a value in case j is $N+1 \leq j \leq 2Ns$. Although two filter operations, the portion of $j \leq N$ and the portion of $2N+1 \leq j \leq 3N-2$, are performed in the first half of each 80kHz period as described above. Therefore, by the selector 26, choose both the output meter numeric value of counters 24 and 25 by turns with the selection signal of 15.36 MHz, and a multiplier 27 is supplied. Furthermore, coefficient-C [from each of the below-mentioned coefficient registers 30 and 31] j It reads and is C_j+4 . Coefficient C_j+4 which performed the updating operation of (8) formulas and (10) formulas, and was updated to each coefficient register 30 and 31 It returns.

[0027] that is, after "10" is chosen from a selector 28, it is supplied to ALU29, after the output j of the counter 24 taken out from the selector 26 was supplied to ALU29 through the back selector 28 doubled four with the multiplier 27, and arithmetic operation is carried out here, (8) formulas express in the coefficient register 30 -- having had $(4j+10)$ -- it is stored in the added value

[0028] The output ($j-3Ns$) of the counter 25 taken out from the selector 26 four with a multiplier 27 Next, after ALU29 was supplied through the doubled back selector 28, After "10" is chosen from a selector 28, ALU29 is supplied and arithmetic operation is carried out here, the value adding $[4(j-3Ns)+10]$ expressed with (10) formulas is stored in the coefficient register 31.

[0029] as mentioned above, the operation of (8) formulas and (10) formulas -- the two cycle (period of the double precision of the inverse number of 15.36 MHz) of counters 24 and 25, Output j , 4 times as many addition of ($j-3Ns$) as this, and addition of "+10" -- since it is required, it all comes out, renewal of a coefficient is completed by the four cycle, and there is no opening in the operation time Moreover, since the above-mentioned operation of two cycles each is performed by being switched by selectors 26, 28, and 32 by turns, the circuit for an operation (27 29) can be shared.

[0030] Next, as shown in drawing 3 (B) in the second half of each 80kHz period, only one filter operation of an $N+1 \leq j \leq 2-N$ portion is performed. After the output $(3N-2j)/2$ of a counter 24 double eight with a multiplier 27 through a selector 26 at this time, it is inputted into ALU29 through a selector 28. Moreover, a fixed value "20" is inputted into ALU28 by switch of a selector 28.

[0031] The value which added by this $[4(3N-2j)+20]$ expressed with the aforementioned (9) formula to the coefficient register 30 is stored, and it is C_j+4 . An updating operation is performed. Therefore, it is coefficient- C_j at the two cycle of 8 times as many addition of a counter 24 of an output $(3N-2j)/2$ as this, and addition of "+20" at this time. Updating was completed and the counter 25 and the coefficient register 31 have stopped.

[0032] It is the output of the above-mentioned coefficient registers 30 and 31 and a multiplier 27 One fourth With the doubled value, operation part 13 is supplied, respectively and multiplication with the multiplier from a register 23 and accumulation are performed. First, based on the selection signal of 15.36 MHz, in the period in the first half of each 80kHz period, a selector 33 takes out each result of an operation of (8) formulas and (10) formulas from the coefficient registers 30 and 31, as mentioned above. The result of an operation of (8) formulas from the coefficient register 30 is chosen, a multiplier 34 is supplied, multiplication is carried out to the multiplier $(a_1+a_2+a_3+a_4)$ from a register 23, it adds with the value of ACC36 obtained through a selector 38, and an adder 34, and a result is incorporated to ACC36. next, value $4j$ from a multiplier 27 -- one fourth twice (this is obtained by shifting rightward 2 bit)) -- choose the value j carried out, supply a multiplier 34, carry out multiplication to the multiplier $(-2a_1-a_2+a_4)$ from a register 23, it is made to add with the value of ACC36, and a result is incorporated to ACC36 $(-a_1+a_4)$ is added from the LSB side between two above-mentioned addition. Therefore, thereby, the filter result of an operation by the operation expression of (5) formulas is obtained from ACC36.

[0033] Then, after the result of an operation of (10) formulas from the coefficient register 31 was chosen by the selector 33, It is 4 ($j-3Ns$) of a multiplier 27 One fourth The doubled value ($j-3Ns$) is chosen, multiplication is carried out to a predetermined multiplier $(a_1+a_2+a_3+a_4)$ and $(-2a_1-a_2+a_4)$ one by one with a multiplier 34, and it accumulates with ACC37. At this time, the filter result of an operation of (7) formulas is incorporated by ACC37 by adding $(-a_1+a_4)$ from the LSB side.

[0034] The operation which adds the twice $(a_1+a_2+a_3+a_4)$ of the output coefficient of the coefficient registers 30 and 31 to ACC 36 and 37 here, One fourth of the outputs of a multiplier 27 Since every [a two cycle] is required for the operation adding twice as many twice $(-2a_1-a_2+a_4)$ as this, Since the operation of (5) formulas and (7) formulas is performed alternately with a two cycle every in the period in the first half of each 80kHz period and a filter operation is completed by the four cycle in all as typically shown in drawing 3 (C), there is no opening in the operation time. Moreover, since the above-mentioned operation of two cycles each is performed by turns, the circuit for an operation (34 35) can be shared. They are the result of an operation of the aforementioned (9) formula taken out from the coefficient register 30 in the period in the second half of each 80kHz period as follows, and the output of a multiplier 27 One fourth The doubled value $(3N-2j)$ is chosen, and like the above, according to the operation of a two cycle, as typically shown in drawing 3 (C), the filter result of an operation of (6) formulas is incorporated by ACC36. And a circuit is stopped in the continuing two cycle. The result of an operation of the whole filter is held and outputted to ACC37 in the second half of each of this 80kHz period.

[0035] Thus, four sigmadelta modulator output $a_1 -a_4$ which is continuously inputted in a 4 times as many period as an over sampling technique period according to this example In a unit In the period in the first half of each 80kHz

period, the filter operation of (5) formulas and (7) formulas is performed alternately [of the double precision of an over sampling technique period] with a period every. In the period in the second half of each 80kHz period, the double precision of an over sampling technique period period-performs the filter operation of (6) formulas, and the period of the double precision of the continuing over sampling technique period by repeating stopping operation The digital signal with which the filter operation for four taps was performed in the conventional half, and the sampling rate was reduced by 80kHz from 15.36 MHz can be outputted.

[0036]

[Effect of the Invention] Since it can compare with the former and the amount of operations can be cut down in a half, since the filter operation for four taps is made in a two cycle like **** according to this invention, and two filter operations can be performed by turns, an arithmetic circuit can be common-use-ized, therefore a circuit scale is compared with the former and it can cut down, and from this, even if it is the same frequency of operation as the former, it has the feature of being able to reduce power consumption.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the principle block diagram of this invention.

[Drawing 2] It is the block diagram of one example of this invention.

[Drawing 3] It is the timing diagram for explanation of operation of drawing 2 .

[Drawing 4] It is the block diagram of an example of the conventional decimation filter.

[Drawing 5] It is the timing diagram for explanation of operation of drawing 4 .

[Description of Notations]

11 Multiplier Setting Section

12 Coefficient Generating Section

13 Operation Part

211 -214 Flip-flop (FF)

22 Decoder

24 25 Counter

26, 28, 32, 33, 38 Selector

27 34 Multiplier

29 Arithmetic and Logic Unit (ALU)

30 31 Coefficient register

35 Adder

36 37 Accumulator (ACC)

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

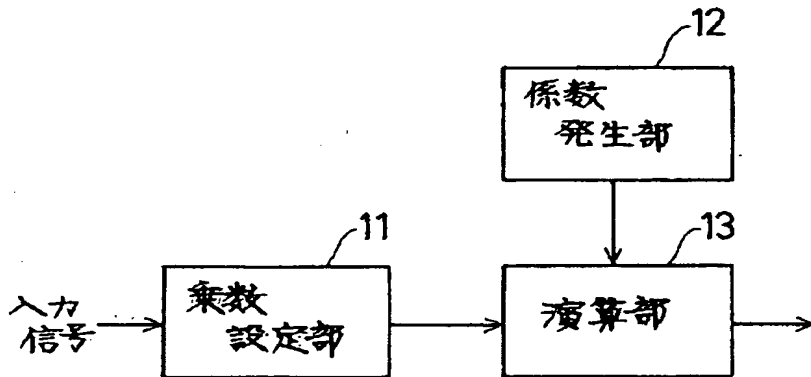
2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DRAWINGS

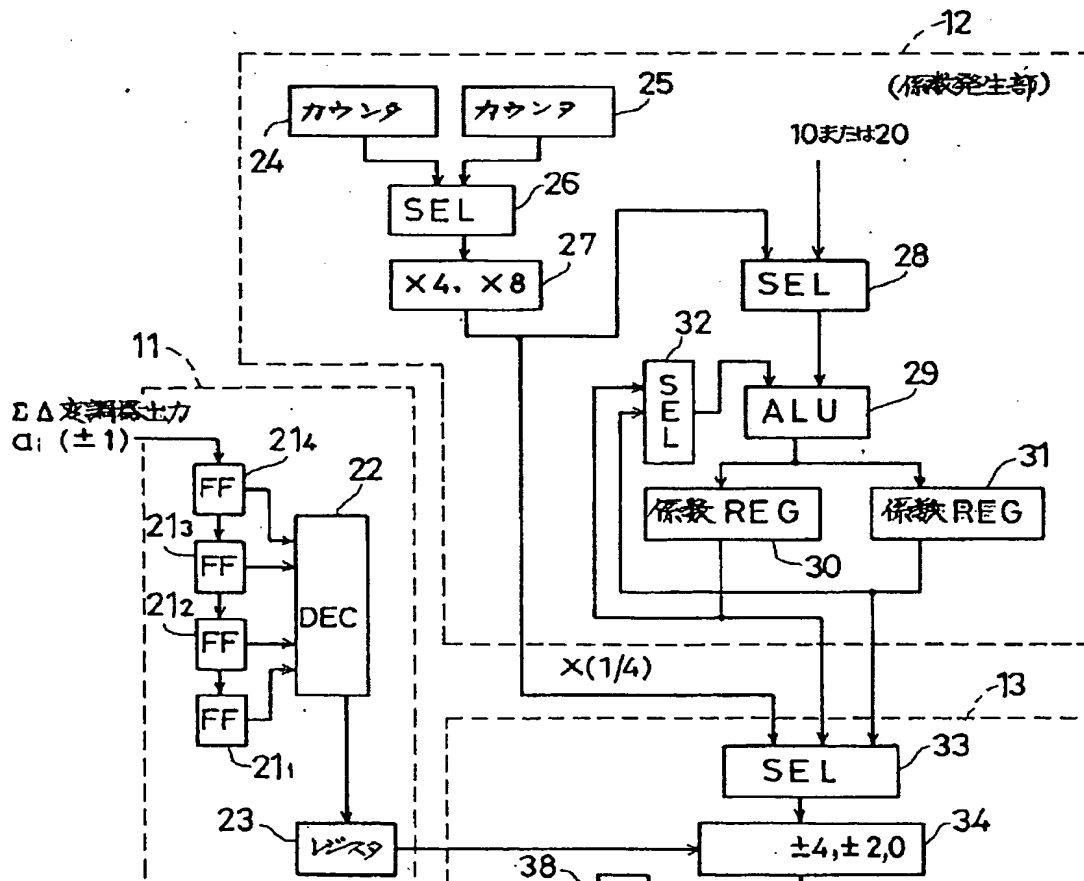
[Drawing 1]

本発明の原理ブロック図



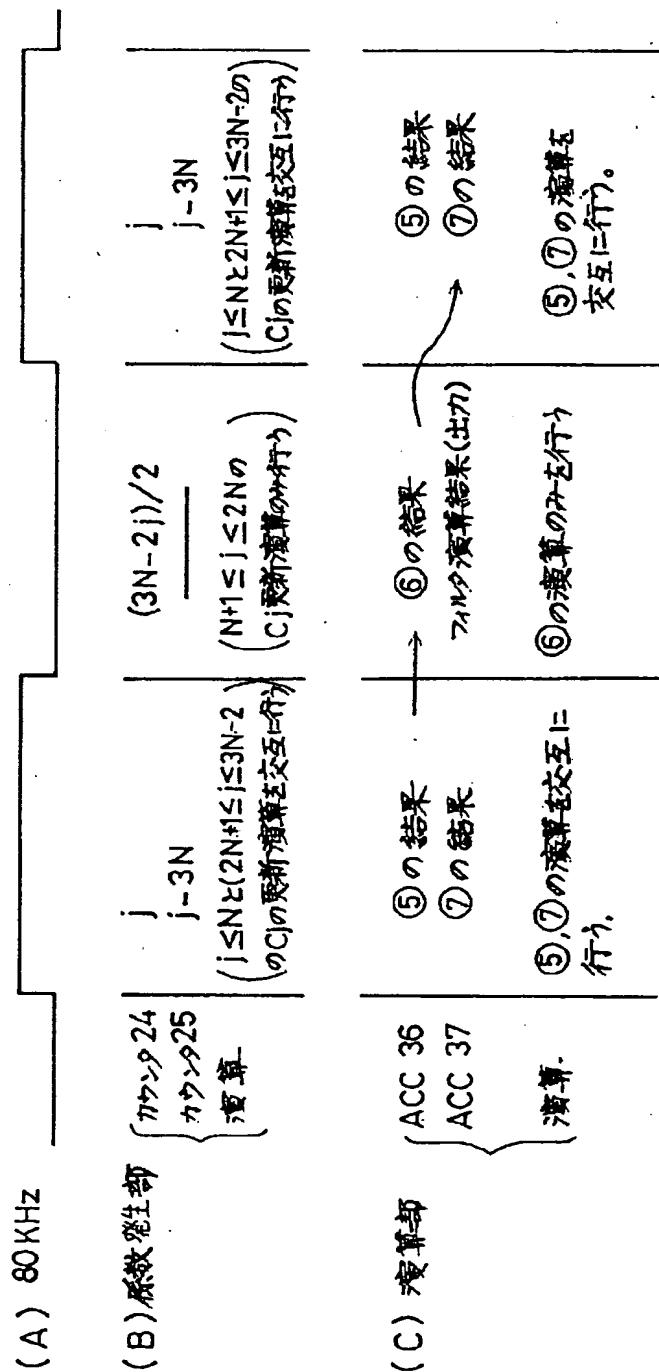
[Drawing 2]

本発明の一実施例の構成図



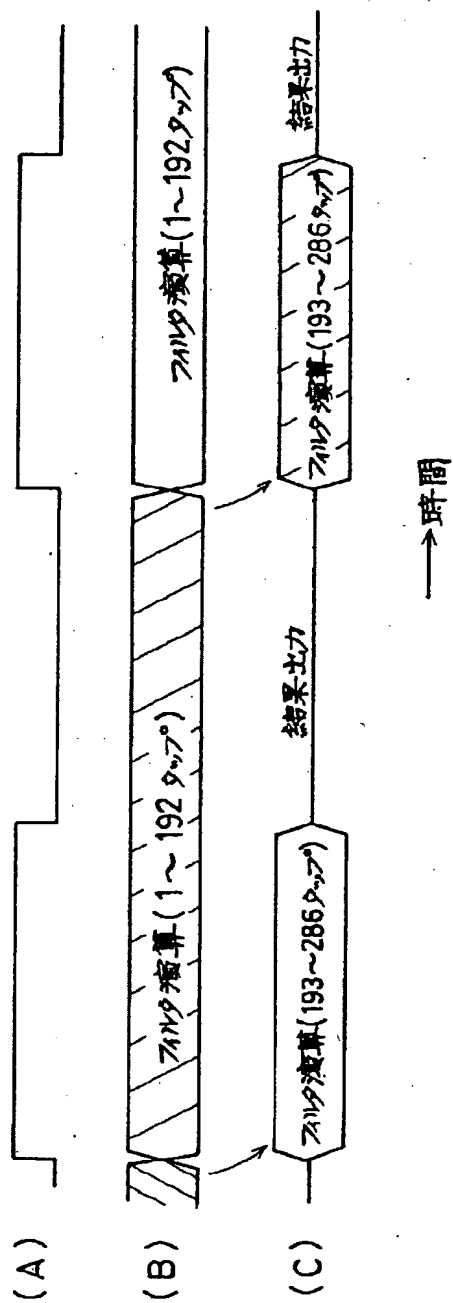
[Drawing 3]

図2の動作説明用タイムチャート



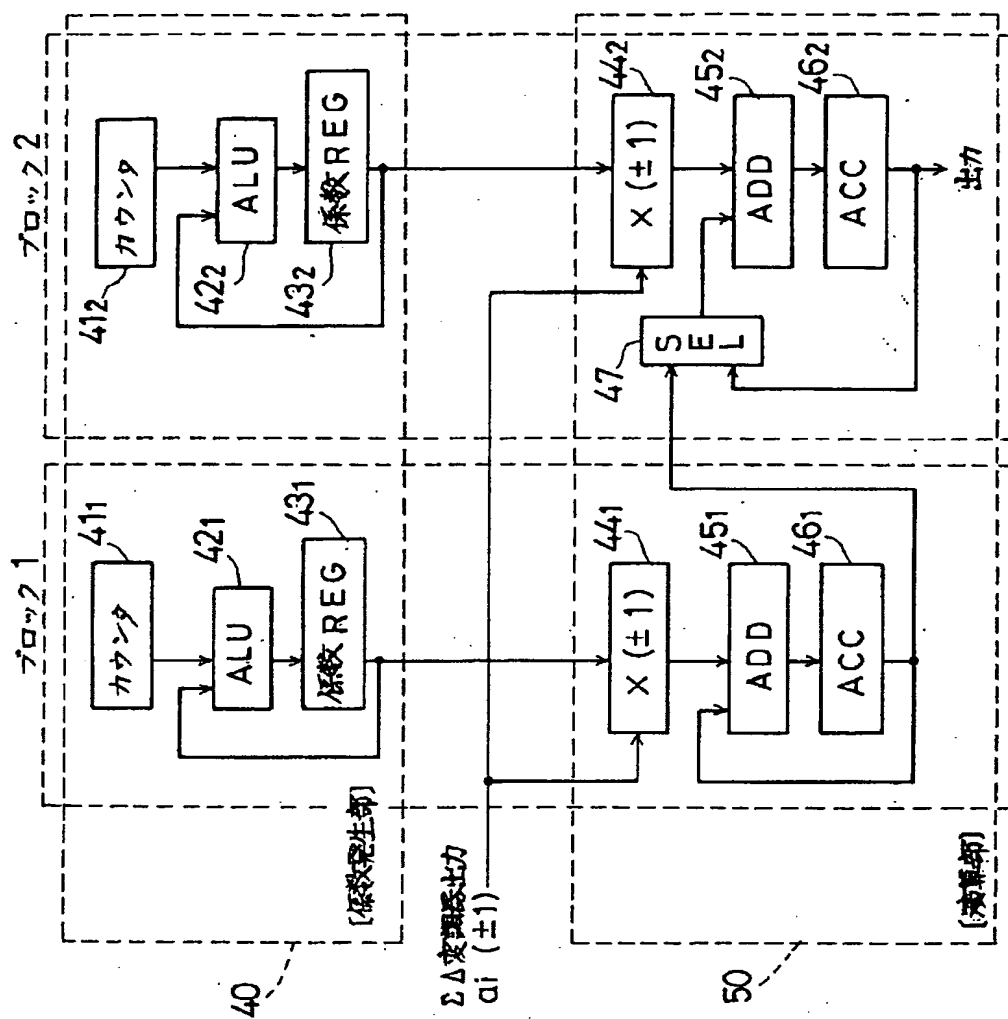
[Drawing 5]

図4の動作説明用タイムチャート



[Drawing 4]

従来のデシメーションフィルタの一例の構成図



[Translation done.]